



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 07 149 A 1**

⑤ Int. Cl. 7:
H 01 L 21/301
H 01 L 21/48
H 01 L 21/324

⑲ Aktenzeichen: 101 07 149.3
⑳ Anmeldetag: 15. 2. 2001
㉓ Offenlegungstag: 12. 9. 2002

㉑ **Anmelder:**
Infineon Technologies AG, 81669 München, DE

㉒ **Vertreter:**
PAe Reinhard, Skuhra, Weise & Partner, 80801
München

㉑ **Erfinder:**
Bischof, Andreas, 01109 Dresden, DE

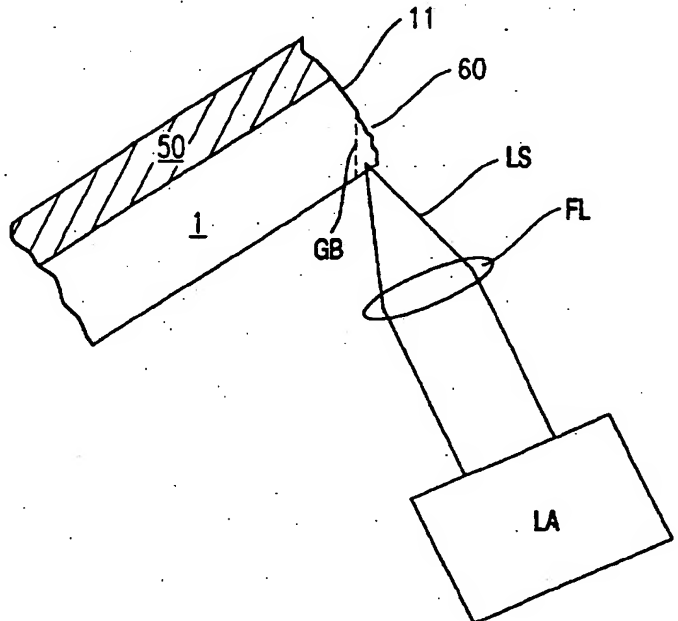
⑥ **Entgegenhaltungen:**
DE 197 30 028 A1
US 52 14 261
JP 58-75 846 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ **Verfahren zum Bearbeiten eines Halbleiterchips**

⑥ Die Erfindung schafft ein Verfahren zum Bearbeiten von Halbleiterchips (1), insbesondere zur Vorbereitung zur Montage in einem Miniaturgehäuse, mit den Schritten: Bereitstellen eines Wafers mit einer Vielzahl vorprozessierter Halbleiterchips (1); Vereinzeln der vorprozessierten Halbleiterchips (1) durch Trennen entlang der Chipkanten (11); und Glätten der Chipkanten (11) durch lokales thermisches aufschmelzen der Chipkanten (11).



DE 101 07 149 A 1

DE 101 07 149 A 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Bearbeiten von Halbleiterchips, insbesondere zur Vorbereitung zur Montage in einem Miniaturgehäuse. Dies umfaßt auch Halbleiterchips, z. B. aus Silizium, deren Material bereits einen Teil des Gehäuses darstellt.

[0002] Obwohl prinzipiell auf beliebige Halbleiterchips und Substrate anwendbar, werden die vorliegende Erfindung und die ihr zugrundeliegende Problematik in bezug auf Silizium-Halbleiterchips und Miniaturgehäuse erläutert.

[0003] Die der vorliegenden Erfindung zugrunde liegende allgemeine Problematik besteht insbesondere darin, dass bei bestimmten Gehäusen häufig Risse im Chip auftreten, welche Ausfälle im Zuverlässigkeitstest bzw. Feldausfälle zur Folge haben.

[0004] Üblicherweise werden die betreffenden Chips durch Aussägen aus einem Wafer bereitgestellt.

[0005] Fig. 2a zeigt eine schematische Darstellung eines Halbleiterchips 1 nach dem Sägeprozeß. Die gesägte Kante 11 ist sehr brüchig und weist eine Reihe von Kantenausbrüchen 10, 20, 30, 40, 50, 60, 70 auf. Man kann unter dem Mikroskop bei leichter Berührung der Kante 11 sogar eine Staubwolke des Siliziums beobachten. Damit schafft der Sägeprozeß eine Vorschädigung des Chips 11.

[0006] Fig. 2b zeigt eine schematische Darstellung des gesägten Halbleiterchips 1 nach thermischer bzw. mechanischer Belastung. Während die Kantenausbrüche 20, 30, 40, 50, 70 unverändert sind, haben sich die Kantenausbrüche 10, 60 zu den Rissen 10' bzw. 60' erweitert. Der Riß 60' verläuft bis in einen Schaltungsbereich 100 und bewirkt somit einen Funktionsausfall des Chips 1.

[0007] Die der vorliegenden Erfindung zugrunde liegende Aufgabe besteht darin, ein Verfahren zum Bearbeiten von Halbleiterchips, insbesondere zur Vorbereitung zur Montage in einem Miniaturgehäuse, anzugeben, welches eine Vorschädigung vermeidet.

[0008] Diese Aufgabe wird durch das in Anspruch 1 angegebene Verfahren gelöst. Bevorzugte Weiterbildungen sind Gegenstand der Unteransprüche.

[0009] Das erfindungsgemäße Glätten bewirkt, daß der vorgeschädigte Bereich nicht mehr vorhanden ist (oder eine Ausbreitung in den aktiven Bereich gestoppt wird) und somit der Chip für ein weiteres Handling bzw. beim Einsatz unter thermischen bzw. mechanischen Spannungen wesentlich unempfindlicher ist. Es wird gleichsam eine Versiegelung der obersten Siliziumschicht geschaffen, ohne die elektrischen Eigenschaften des Chips zu beeinflussen.

[0010] Gemäß einer bevorzugten Weiterbildung wird das Vereinzeln durch Sägen durchgeführt. Dies ist die gängige Methode, jedoch kommen auch Ritzen/Brechen oder Laser-cutting oder sonstige Methoden in Frage.

[0011] Gemäß einer weiteren bevorzugten Weiterbildung werden die Halbleiterchips während des Glättens durch eine Kühleinrichtung im Innenbereich flächig gekühlt. Dies verhindert einen Einfluß des lokalen thermischen Aufschmelzens auf interne empfindliche Schaltungsbereiche.

[0012] Gemäß einer weiteren bevorzugten Weiterbildung erfolgt das Kühlen bei einer Temperatur von unterhalb 0°C, vorzugsweise unterhalb -20°C.

[0013] Gemäß einer weiteren bevorzugten Weiterbildung erfolgt das Glätten durch eine Laserbehandlung. So ist eine besondere Feinbehandlung der Chipkanten möglich, welche einen geringen Siliziumverlust mit sich bringt.

[0014] Gemäß einer weiteren bevorzugten Weiterbildung wird durch das Glätten einem an den Chipkanten umlaufende Anfasung geschaffen. So läßt sich die Kante ringsum versiegeln und lassen sich Spannungen durch das Auf-

schmelzen und anschließende Abkühlen verhindern.

[0015] Gemäß einer weiteren bevorzugten Weiterbildung erfolgt das Vereinzeln und Glätten durch eine Laserbehandlung in einem einzigen Schritt.

5 [0016] Im folgenden wird die vorliegende Erfindung anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die begleitenden Zeichnungen erläutert.

[0017] Es zeigen:

10 [0018] Fig. 1a, b Darstellungen eines gemäß einer Ausführungsform der Erfindung bearbeiteten Siliziumchips; und

[0019] Fig. 2a, b eine schematische Darstellung eines Halbleiterchips nach dem Sägeprozeß bzw. nach einer folgenden Belastung.

15 [0020] In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Elemente.

[0021] Fig. 1a, b zeigen Darstellungen eines gemäß einer Ausführungsform der Erfindung bearbeiteten Siliziumchips 1.

20 [0022] Gemäß Fig. 1a ist der Siliziumchip 1 flächig an einer Kühleinrichtung 50 angebracht, welche ihm im Innenbereich flächig kühlt. Durch die Kühleinrichtung 50 wird der Chip 1 dabei auf eine Temperatur unterhalb des Gefrierpunktes, z. B. -20°C, abgekühlt.

25 [0023] Gleichzeitig ist ein Laserstrahl LS, welcher von einer Lasereinrichtung LA herrührt und durch eine Fokussierungslinse VL fokussiert wird, auf einen Kantenausbruch 60 des Siliziumchips 1 gerichtet. Bezugszeichen GB bezeichnet einen Glättungsbereich, welcher durch das Glätten mittels dem Laserstrahl LS durch lokales thermisches Aufschmelzen der Chipkante 11 gebildet werden soll.

30 [0024] Die Temperatur des Laserstrahl LS liegt oberhalb des Schmelzpunktes von Silizium, um ein lokales bzw. punktförmiges Aufschmelzen der Siliziumoberfläche an der Chipkante 11 erreichen zu können. Um das Aufschmelzen entlang der gesamten Chipkante 11 erreichen zu können, wird der Chip 1 vorzugsweise entsprechend gedreht.

35 [0025] Mit anderen Worten wird, wie in Fig. 1b gezeigt, entlang der Chipkante mittels des Laserstrahls LS eine jeweilige erste und zweite Anfasung S1 bzw. S2 gebildet.

40 Diese Anfasungen S1 bzw. S2 verlaufen ringsum die Chipkante 11 und bewirken gleichsam eine lokale Versiegelung der Siliziumoberfläche und ein Entfernen der Kantenausbrüche 60. Dies hat zur Folge, dass die Vorschädigungen durch das Vereinzeln der Chips 1, beispielsweise durch Sägen, im nachhinein entfernt werden und somit nicht als Keime bzw. Sollbruchstellen für Risse während des Einsatzes des Chips 1 unter entsprechenden thermischen bzw. mechanischen Bedingungen wirken können.

45 [0026] Obwohl die vorliegende Erfindung anhand bevorzugter Ausführungsbeispiele vorstehend beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

50 [0027] Insbesondere ist die Erfindung auf beliebige Chips anwendbar.

55 [0028] Auch sei erwähnt, dass das Glätten der Chipkanten zweckmäßigerweise auch im halbmontierten Zustand des Halbleiterchips erfolgen kann, beispielsweise nachdem der Chip auf ein entsprechenden Kühlsockel gelötet worden ist.

60 [0029] Auch können andere thermische Verfahren, wie z. B. lokales Erhitzen durch Infrarot-Strahlung, angewendet werden.

Bezugszeichenliste

- 1 Chip
50 Kühleinrichtung
11 Chipkante

10-70 Randausbrüche
 10', 60' Risse
 GB Glättungsbereich
 LS Laserstrahl
 FL Fokussierungslinse
 LA Lasereinrichtung
 S1, S2 Anfasungen
 100 Schaltungsbereich

Patentansprüche

10

1. Verfahren zum Bearbeiten von Halbleiterchips (1), insbesondere zur Vorbereitung zur Montage in einem Miniaturgehäuse, mit den Schritten:
 Bereitstellen eines Wafers mit einer Vielzahl vorpro- 15
 zessierter Halbleiterchips (1)
 Vereinzeln der vorprozessierten Halbleiterchips (1)
 durch Trennen entlang der Chipkanten (11); und
 Glätten der Chipkanten (11) durch lokales thermisches
 Aufschmelzen der Chipkanten (11) 20
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Vereinzeln durch Sägen durchgeführt wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Halbleiterchips (1) während des 25
 Glättens durch eine Kühleinrichtung (50) im Innenbereich flächig gekühlt werden.
4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass das Kühlen bei einer Temperatur von unterhalb 0°C, vorzugsweise unterhalb -20°C, erfolgt. 30
5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Glätten durch eine Laserbehandlung erfolgt.
6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass durch das Glätten 35
 einem an den Chipkanten (11) umlaufende Anfasung (S1; S2) geschaffen wird.
7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Vereinzeln und
 Glätten durch eine Laserbehandlung in einem einzigen 40
 Schritt erfolgt.

Hierzu 2 Seite(n) Zeichnungen

45

50

55

60

65

- Leerseite -

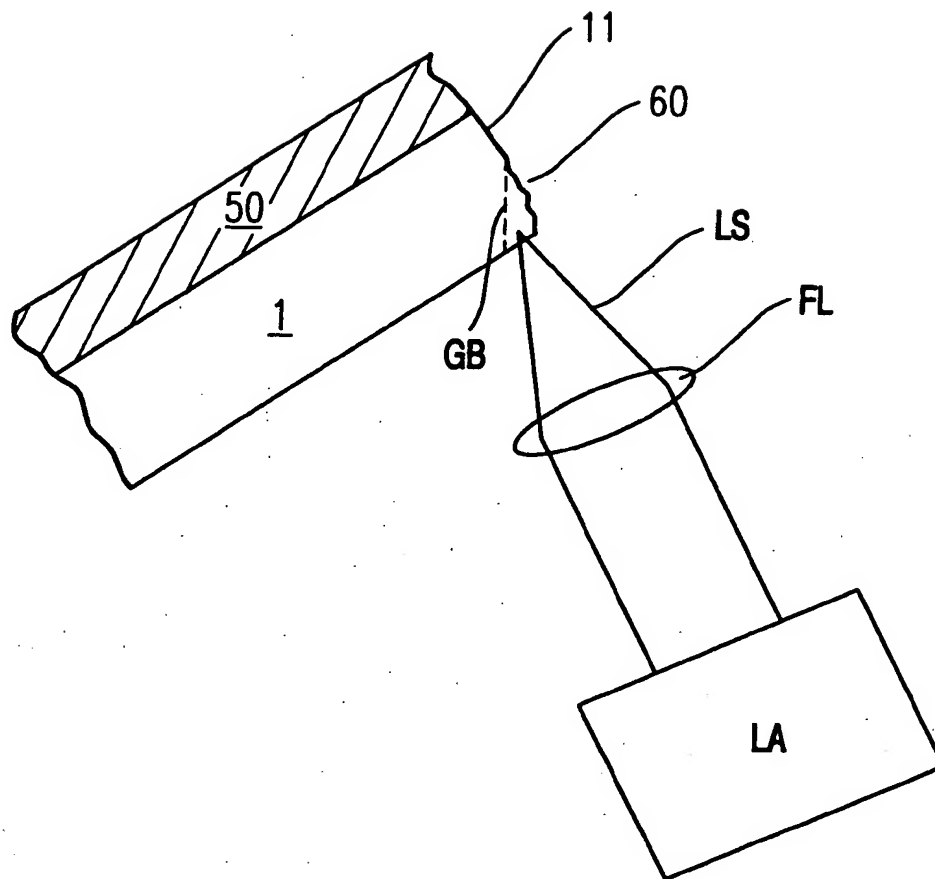


Fig. 1a

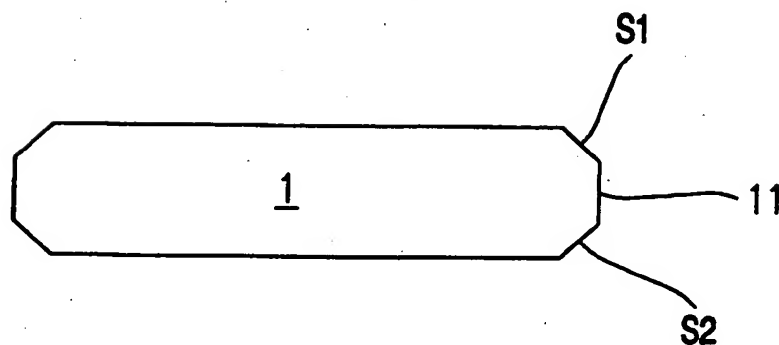


Fig. 1b

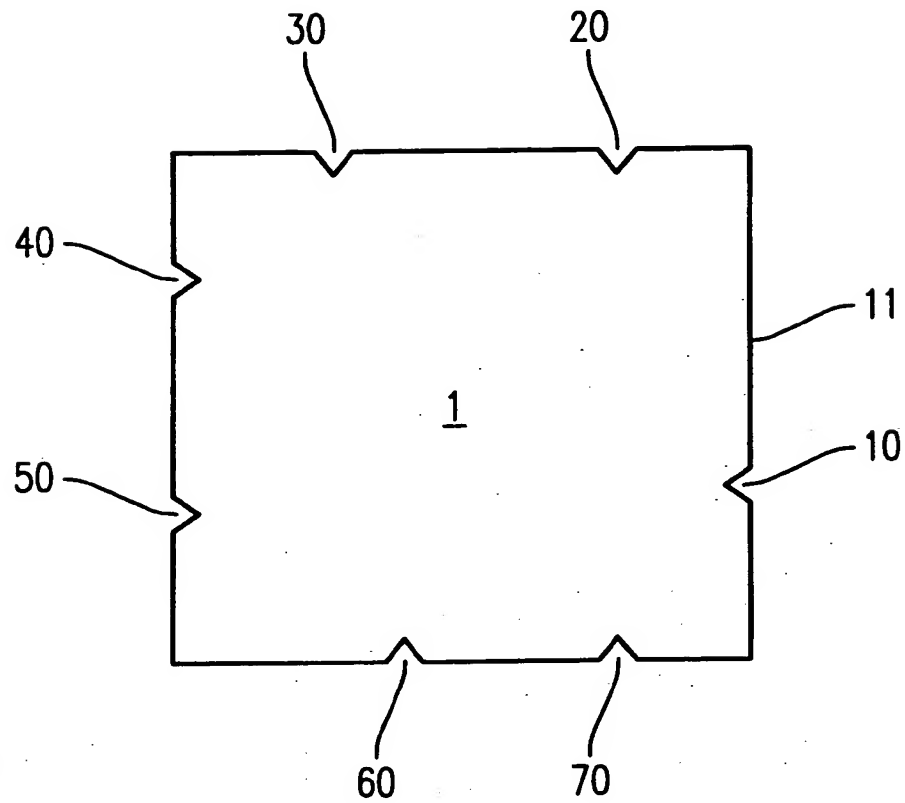


Fig. 2a

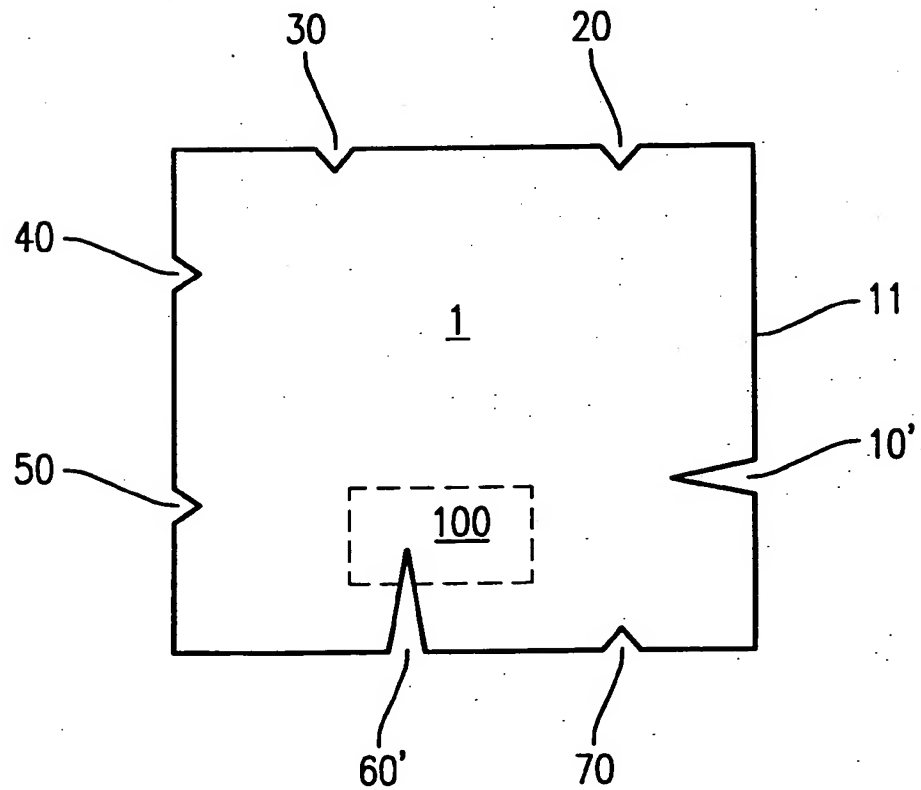


Fig. 2b